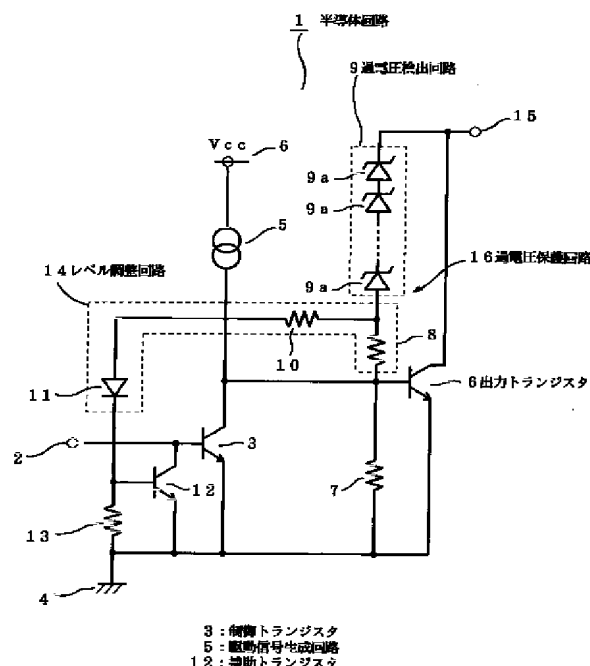


(11)特許出願公開番号
特開2002-368593
(P2002-368593A)



【特許請求の範囲】

【請求項1】 第1の主端子が出力部を形成し第2の主端子が接地された出力トランジスタと、

駆動信号生成回路により生成された駆動信号を所定の制御信号に応じて前記出力トランジスタの制御端子に出力することにより、この出力トランジスタの主端子間を導通させる入力トランジスタと、

前記出力トランジスタの第1の主端子に所定の閾値を越える過電圧が印加された場合にこの出力トランジスタの主端子間を導通させてサージ電流を放電させる過電圧保護回路とを備え、

前記過電圧保護回路は、予め設定された閾値に基づいて過電圧を検出しその検出信号を出力する過電圧検出回路と、この検出信号にて自身の主端子間を導通することにより前記入力トランジスタの主端子間を遮断させる補助トランジスタと、この補助トランジスタの主端子間が前記検出信号により導通するように前記検出信号の降圧レベルを調整するレベル調整回路とで構成されていることを特徴とする半導体回路。

【請求項2】 前記過電圧検出回路は、1つ以上のツェナーダイオードで構成されていることを特徴とする請求項1記載の半導体回路。

【請求項3】 前記レベル調整回路は、前記補助トランジスタの主端子間が前記駆動信号によって導通しないように前記駆動信号の降圧レベルを調整する1つ以上のダイオードを備えていることを特徴とする請求項1又は2記載の半導体回路。

【請求項4】 前記出力トランジスタの制御端子には、この出力トランジスタの主端子間に過大なサージ電流が流れるのを緩和するための緩和回路が設けられていることを特徴とする請求項1乃至3の何れかに記載の半導体回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パワーエレクトロニクス装置等に使用される出力トランジスタに所定の閾値を越える過電圧が印加されてもこの出力トランジスタが破壊されないように過電圧保護回路が設けられた半導体回路に関する。

【0002】

【従来の技術】従来より、パワーエレクトロニクス装置等に使用される出力トランジスタには、所定の閾値例えば許容耐圧電圧を越える過電圧が印加された場合に電圧破壊を起こさないように、過電圧保護回路が設けられて半導体回路が構成されている。

【0003】図4は、この種の半導体回路100の一例を示すものである。この図4において、ハイレベル/ロウレベルの制御信号を入力するための制御信号入力端子101には、npn型バイポーラトランジスタ（以下、入力トランジスタと称す）102のベースが接続されて

いる。入力トランジスタ102のエミッタは接地部110に接地され、コレクタは定電流源103の出力端子、及び、ダイオード104のアノードに接続されている。定電流源103は、その電源入力端子に接続された直流電圧電源105を駆動源として、一定量の駆動電流を出力するように構成されている。

【0004】ダイオード104のカソードは、npn型バイポーラトランジスタ（以下、出力トランジスタと称す）106のベース、複数のツェナダイオード107aが順方向に直列接続されて構成された過電圧検出回路107の一端のアノード、及び、抵抗108の一端に接続されている。出力トランジスタ106のコレクタは出力端子109に接続され、エミッタは接地部110に接地されている。過電圧検出回路107の他端は出力端子109に接続され、抵抗108の他端は接地部110に接地されている。尚、過電圧検出回路107は、各ツェナダイオード107aの降伏電圧を足し合わせた値が閾値として設定されている。以上のようにして半導体回路100が構成されている。

【0005】＜通常動作時の作用説明＞次に、この半導体回路100の通常動作時における作用について説明する。まず、制御信号入力端子101にハイレベルの制御信号が印加された場合には、入力トランジスタ102のコレクタ、エミッタ間が導通（オン）し、駆動電流はこのコレクタ、エミッタ間を介して接地部110に放電される。このため、出力トランジスタ106のベースには駆動電流が出力されず、そのコレクタ、エミッタ間は遮断（オフ）された状態になり、出力端子109はオープンになる。尚、一般的にこのようなオープン出力型の出力端子109には、半導体回路100の外部において、図示はしないが、抵抗を介して直流電圧電源が接続されており、その場合には出力端子109はハイレベルになる。

【0006】また、制御信号入力端子101にロウレベルの制御信号が印加された場合には、入力トランジスタ102のコレクタ、エミッタ間は遮断（オフ）され、駆動電流はダイオード104を介して、出力トランジスタ106のベースに出力される。この場合、そのコレクタ、エミッタ間は導通（オン）した状態になり、出力端子109はロウレベルになる。以上のようにして、通常動作時には、制御信号に応じて入力トランジスタ102をオンオフさせることにより、出力トランジスタ106のスイッチング制御が行われる。

【0007】＜過電圧印加時の作用説明＞続いて、この半導体回路100の出力端子109に閾値を越える過電圧が印加された場合の作用について説明する。尚、この場合の出力トランジスタ109の作用は、制御信号のレベルに関わらず同様であるので、説明を簡単にするために制御信号はハイレベルに設定され、入力トランジスタ102はオンし、出力トランジスタ106はオフしてい

るものとする。

【0008】出力端子109に閾値を越える過電圧が印加されると、過電圧検出回路107を構成するツェナーダイオード107aが導通し、一端のアノードから検出電流が出力される。これにより、出力トランジスタ106のベース電圧が順方向バイアス電圧(0.6V)となり、そのコレクタ、エミッタ間が導通し、前記過電圧によるサージ電流が前記コレクタ、エミッタ間を介して接地部110に放電される。それ故、出力トランジスタ106のコレクタ、エミッタ間に印加される電圧は、許容耐圧電圧よりも小さくなり、出力トランジスタ109は電圧破壊を回避することができる。

【0009】

【発明が解決しようとする課題】ところで、ダイオード104は、入力トランジスタ102のオン時に出力端子109に閾値を越える過電圧が印加された場合に、検出電流が入力トランジスタ102に流れ込むのを防止するためのものである。もし、このダイオード104が無いと、検出電流が入力トランジスタ102に流れ込んでしまい、その結果、出力トランジスタ106のベース電圧が順方向バイアス電圧よりも小さな入力トランジスタ102のコレクタ、エミッタ間電圧まで低下してしまうため、出力トランジスタ106をオンさせることができずに電圧破壊させてしまうことになる。即ち、このダイオード104によって、出力トランジスタ106は、制御信号のレベルに関わらず、閾値を越える過電圧から保護されるようになっている。

【0010】その一方で、ダイオード104を設けたことによって、通常動作時に、制御信号のレベル切り替え動作(入力トランジスタ102のスイッチング動作)に対する出力トランジスタ106のスイッチング動作の応答速度が遅延してしまうという問題が発生していた。即ち、通常動作時において、出力トランジスタ106をオンからオフに切り替える際に、前記応答速度を速くするためには、出力トランジスタ106のベース、エミッタ間に存在する寄生容量に蓄積された電荷をできるだけ短時間に放電させる必要があるのだが、ダイオード104があるために、前記寄生容量に蓄積された電荷を入力トランジスタ102を介して放電させることができず、放電時間の長い抵抗108を介して放電させなければならず、前記寄生容量及び抵抗108からなる時定数に応じた遅延が生じ、応答速度が遅延していた。

【0011】この場合、応答速度を速くするために抵抗108の値を小さくして前記時定数を小さくすることが考えられるが、抵抗108の値が小さくなる分だけ抵抗108に流れる電流量が増加し、出力トランジスタ106のベース電流が減少してしまうため、出力トランジスタ106の出力電流能力を低下させてしまうことになり、従って、抵抗108の値を小さくすることによる応答速度の改善には限界がある。

【0012】本発明は上述の事情に鑑みてなされたものであり、従ってその目的は、入力トランジスタにより出力トランジスタのスイッチング制御を行い、出力トランジスタに対する過電圧保護回路を備えた半導体回路において、制御信号に対する出力トランジスタの応答速度が速い半導体回路を提供することにある。

【0013】

【課題を解決するための手段】上記した目的を達成するために請求項1に記載した手段を採用できる。この手段によれば、入力トランジスタと出力トランジスタの制御端子との結線間にダイオードを設けずに済むので、出力トランジスタをオンからオフに切り替える際に、出力トランジスタ内の寄生容量に蓄積された電荷を入力トランジスタを介して短時間で放電させることができる。これにより、制御信号に対する出力トランジスタの応答速度を速くすることができる。

【0014】また、レベル調整回路によって検出信号及び駆動信号の降圧レベルを調整し、検出信号が出力された場合に補助トランジスタをオンさせるようにしたので、予め設定された閾値を越える過電圧が出力トランジスタに印加された場合に、補助トランジスタをオンさせることによって入力トランジスタをオフさせることができる。これにより、検出電流が入力トランジスタに流れ込むのを防止して、確実に出力トランジスタからサージ電流を流すことができ、出力トランジスタの電圧破壊を防止することができる。

【0015】請求項2に記載した手段によれば、過電圧検出回路は、ツェナーダイオードの降伏電圧値を利用して、過電圧を検出するための閾値を簡単に設定することができる。

【0016】請求項3に記載した手段によれば、レベル調整回路は、駆動信号によっては補助トランジスタがオンしないように駆動信号の降圧レベルを調整する1つ以上のダイオードを備えるようにしたので、前記ダイオードの順方向バイアス電圧値を利用して、駆動信号の降圧レベルの調整を簡単に行うことができる。

【0017】請求項4に記載した手段によれば、出力トランジスタを熱破壊する可能性のある過大なサージ電流が出力トランジスタの主端子間に流れた場合に、そのサージ電流が緩和回路によって緩和されるので、過大なサージ電流によって出力トランジスタが熱破壊されるのを防止することができる。

【0018】

【発明の実施の形態】〔第1の実施例〕以下、本発明の半導体回路の第1の実施例について、図1及び図2を参照しながら説明する。尚、以下に示すnpn型バイポーラトランジスタのベースは制御端子に、コレクタは第1の主端子に、エミッタは第2の主端子に相当するものとする。

【0019】図1は、半導体回路1の回路構成を示すも

のである。この図1において、ハイレベル/ロウレベルの制御信号を入力するための制御信号入力端子2には、npn型バイポーラトランジスタ（以下、入力トランジスタと称す）3のベースが接続されている。入力トランジスタ3のエミッタは接地部4に接地され、コレクタは駆動信号生成回路たる定電流源5の出力端子に接続されている。定電流源5は、その電源入力端子に接続された直流電圧電源6を駆動源として、駆動信号たる一定量の駆動電流を出力するように構成されている。

【0020】また、入力トランジスタ3のコレクタは、npn型バイポーラトランジスタ（以下、出力トランジスタと称す）6のベース、抵抗7を介した接地部4、および、抵抗8を介した過電圧検出回路（後述）9の一端のアノードに接続されている。過電圧検出回路9は、 n 個のツェナーダイオード9aが順方向に直列接続されて構成されており、その他端のカソードは出力部たる出力端子15に接続されている。そして、各ツェナーダイオード9aの降伏電圧を足し合わせた値が過電圧を検出するための閾値に設定されている。

【0021】抵抗8と過電圧検出回路9との共通接続点には、抵抗10を介してダイオード11のアノードが接続されている。ダイオード11のカソードはnpn型バイポーラトランジスタ（以下、補助トランジスタと称す）12のベース、及び、抵抗13を介した接地部4に接続されている。そして、これら抵抗8及び10、及び、ダイオード11でレベル調整回路14が構成されている。また、補助トランジスタ12のエミッタは接地部4に接地され、コレクタは入力トランジスタ3のベースに接続されている。そして、これら過電圧検出回路9、レベル調整回路14及び補助トランジスタ12で過電圧保護回路16が構成され、以上のようにして半導体回路1が構成されている。

【0022】尚、このレベル調整回路14は、過電圧検出回路9から検出信号たる検出電流（後述）が出力された場合に、出力トランジスタ6及び補助トランジスタ12のベース電圧が順方向バイアス電圧（0.6V）になるように、降圧レベル（抵抗8及び10の抵抗値）が設定されている。また、定電流源5から出力トランジスタ6のベースに向かって駆動電流が出力された場合には、出力トランジスタ6のベース電圧が順方向バイアス電圧になり、補助トランジスタ12のベース電圧が接地電位になるように、ダイオード11の順方向バイアス電圧（0.6V）を利用して降圧レベルが設定されている。即ち、補助トランジスタ12は、検出電流によってオンし駆動電流によってはオンしないようになっている。

【0023】＜通常動作時の作用説明＞次に、この半導体回路1の通常動作時における作用について説明する。まず、制御信号入力端子2にハイレベルの制御信号が印加された場合には、入力トランジスタ3のコレクタ、エミッタ間が導通（オン）して、駆動電流はそのコレク

タ、エミッタ間を介して接地部4に放電される。このため、出力トランジスタ6のベース電圧は順方向バイアス電圧より小さくなり、そのコレクタ、エミッタ間は遮断（オフ）された状態になり、出力端子15はオープンになる。尚、一般的にこのようなオープン出力型の出力端子15には、半導体回路1の外部において、図示はしないが、抵抗を介して直流電圧電源が接続されており、その場合には出力端子15はハイレベルになる。また、補助トランジスタ12のベース電圧も順方向バイアス電圧より小さくなり、そのコレクタ、エミッタ間は遮断（オフ）された状態になる。

【0024】続いて、制御信号入力端子2にロウレベルの制御信号が印加された場合には、入力トランジスタ3のコレクタ、エミッタ間は遮断（オフ）され、駆動電流は出力トランジスタ6のベースに向かって出力される。これにより、出力トランジスタ6のベース電圧は順方向バイアス電圧になり、そのコレクタ、エミッタ間は導通（オン）した状態になり、出力端子15はロウレベルになる。そして、前記ベース電圧はレベル調整回路14によってその電圧値が接地電位まで降圧されるので、補助トランジスタ12のベース電圧は順方向バイアス電圧よりも小さくなり、そのコレクタ、エミッタ間は遮断（オフ）された状態になる。以上のようにして、通常動作時には、制御信号に応じて入力トランジスタ3をスイッチングさせることにより、出力トランジスタのスイッチング制御が行われる。

【0025】また、図2（a）及び（b）は、従来の半導体回路100（図4参照）と本実施例の半導体回路1（図1参照）とで、制御信号をロウレベルからハイレベルに切り替えてから出力トランジスタ106及び6がロウレベルからハイレベルに切り替わる迄の応答速度を比較した場合の一例を示すものである。これら図2（a）及び（b）を比較すると、従来例のものの応答速度は6.2（ μ s）であり、本実施例のものの応答速度は1.7（ μ s）であり、本実施例のものが従来例のものに比べて4.5（ μ s）も応答速度が短縮されていることが分かる。

【0026】これは、本実施例のものは、入力トランジスタ3のコレクタと出力トランジスタ6のベースとの結線間に、検出信号が入力トランジスタ3のコレクタに流れ込まないようにするためのダイオードが無いために、出力トランジスタ6をオンからオフに切り替える際に、出力トランジスタ6内の寄生容量に蓄積された電荷を入力トランジスタ3を介して短時間で放電させることができるからである。

【0027】＜過電圧印加時の作用説明＞次に、この半導体回路1の出力端子15に閾値を越える過電圧が印加された場合の作用について説明する。尚、この場合の出力トランジスタ6の作用は、制御信号のレベルに関わらず同様であるので、説明を簡単にするために制御信号は

ハイレベルに設定され、入力トランジスタ3はオンし、出力トランジスタ6及び補助トランジスタ12はオフしているものとする。

【0028】出力端子15に閾値を越える過電圧が印加された場合には、過電圧検出回路9を構成する各ツェナーダイオード9aが導通し、一端のアノードから検出電流が出力される。そして、検出電流の一部が出力トランジスタ6のベースに流れ、該ベース電圧が順方向バイアス電圧になることによってそのコレクタ、エミッタ間が導通し、前記過電圧によるサージ電流が前記コレクタ、エミッタ間を介して接地部4に放電される。それ故、出力トランジスタ6のコレクタ、エミッタ間に印加される電圧は、許容耐圧電圧よりも小さくなり、出力トランジスタ6は電圧破壊を回避することができる。

【0029】また、検出電流の一部は補助トランジスタ12のベースにも流れ、そのコレクタ、エミッタ間が導通することによって、入力トランジスタ3のベース電圧は順方向バイアス電圧よりも小さな値に降圧させられる。それ故、過電圧検出回路9から検出電流が出力されている期間は、入力トランジスタ3のコレクタ、エミッタ間は強制的に遮断され、制御信号によるスイッチング制御が無効化される。

【0030】以上説明したように、本実施例によれば、入力トランジスタ3のコレクタと出力トランジスタ6のベースとの結線間に、検出信号が入力トランジスタ3のコレクタに流れ込まないようにするためのダイオードを設けずに済むので、出力トランジスタ6をオンからオフに切り替える際に、出力トランジスタ6内の寄生容量に蓄積された電荷を入力トランジスタ3を介して短時間で放電させることができる。これにより、制御信号に対する出力トランジスタ6の応答速度を速くすることができる。

【0031】また、レベル調整回路9によって検出電流及び駆動電流の降圧レベルを調整し、検出電流が出力された場合に補助トランジスタ12をオンさせるようにしたので、予め設定された閾値を越える過電圧が出力トランジスタ6に印加された場合に、補助トランジスタ12をオンさせることによって入力トランジスタ3をオフさせることができる。これにより、検出電流が入力トランジスタ3に流れ込むのを防止して、確実に出力トランジスタ6からサージ電流を流すことができ、出力トランジスタ6の電圧破壊を防止することができる。

【0032】また、過電圧検出回路9は、 n 個のツェナーダイオード9aを順方向に直列に多段接続して構成し、これらツェナーダイオード9aの降伏電圧値を足し合わせたものを過電圧を検出するための閾値として設定するようにしたので、前記閾値の設定を簡単に行うことができる。

【0033】また、レベル調整回路14は、補助トランジスタ12が駆動信号によってオンしないように駆動信

号の降圧レベルを調整する1個のダイオード11を備えるようにしたので、このダイオード11の順方向バイアス電圧値を利用して、駆動信号の降圧レベルの調整を簡単に行うことができる。

【0034】〔第2の実施例〕次に、本発明の第2の実施例について、図3を参照して説明する。尚、第1の実施例と同一部分については同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。

【0035】図3は、本第2の実施例の半導体回路20の回路構成を示すものである。この図3に示すように、出力トランジスタ6のベースと接地部4との間には、抵抗21及び22からなる直列回路が接続されている。また、出力トランジスタ6のベースには、npn型バイポーラトランジスタ（以下、緩和トランジスタと称す）23のコレクタが接続され、この緩和トランジスタ23のエミッタは接地され、ベースは抵抗21及び22の共通接続点に接続されている。そして、これら抵抗21及び22、及び、緩和トランジスタ23で緩和回路24が構成されている。

【0036】尚、この緩和回路24は、出力トランジスタ6のベース電圧が順方向バイアス電圧よりも大きな値例えば1Vまで上昇したときに、緩和トランジスタ23のベース電圧に順方向バイアス電圧が印加されて、そのコレクタ、エミッタ間が導通するように、抵抗21及び22の分圧比が設定されている。

【0037】＜通常動作時の作用説明＞次に、この半導体回路20の通常動作時における作用について、緩和回路24の作用を中心に説明する。まず、制御信号入力端子2にハイレベルの制御信号が印加された場合には、駆動電流は入力トランジスタ3を介して接地部4に放電されるので、緩和トランジスタ23はオンしない。そして、第1の実施例と同様にして、出力トランジスタ6のコレクタ、エミッタ間は遮断された状態になり、出力端子15はハイインピーダンス（又はハイレベル）になる。

【0038】また、制御信号入力端子2にロウレベルの制御信号が印加された場合には、入力トランジスタ3はオフするので、駆動電流は出力トランジスタ6のベースに向かって出力される。これにより、第1の実施例と同様にして、出力トランジスタ6はオンし、出力端子15はロウレベルになる。このとき、緩和トランジスタ23のベースには、抵抗21及び22によって分圧された電圧が印加されるが、この電圧は順方向バイアス電圧よりも小さいので、緩和トランジスタ23はオンしない。

【0039】＜過電圧印加時の作用説明＞次に、この半導体回路20の出力端子15に閾値を越える過電圧が印加された場合の作用について、緩和回路24の作用を中心に説明する。出力端子15に閾値を越える過電圧が印加された場合には、過電圧検出回路9から検出電流が出力され、第1の実施例と同様にして出力トランジスタ6

がオンする。

【0040】ところで、npn型バイポーラトランジスタには、コレクタ電流が増加すると、それに応じてベース、エミッタ間電圧が上昇するという性質がある。そのため、出力端子15に印加された過電圧の大きさに応じて出力トランジスタ6のサージ電流（コレクタ電流）が多くなると、そのベース、エミッタ間電圧が大きくなり、即ち、そのベース電圧が上昇する。このとき、緩和トランジスタ23は、出力トランジスタ6のベース電圧が1Vよりも小さいときにはオンしないが、1V迄上昇するとオンする。そして、緩和トランジスタ23がオンした場合には、そのベースに流れ込んでいた検出電流の一部が緩和トランジスタ23のコレクタ、エミッタ間を介して接地部4に放電されるため、出力トランジスタ6のコレクタ、エミッタ間に流れるサージ電流は出力トランジスタ6が熱破壊されないような所定値以下に抑制される。

【0041】以上説明したように、本第2の実施例によれば、出力トランジスタ6を熱破壊する可能性のある過大なサージ電流が出力トランジスタ6のコレクタ、エミッタ間に流れた場合には、緩和回路24によってそのサージ電流を緩和するようにしたので、過大なサージ電流によって出力トランジスタ6が熱破壊されるのを防止することができる。

【0042】尚、本発明は、上記実施例に限定されるものではなく、次のような変形、拡張が可能である。本発明の実施例では、駆動信号生成回路を定電流源に適用したが、これに限定されるものではなく、例えば、定電流源の代わりに抵抗を設けるように構成してもよい。

【0043】本発明の実施例では、出力トランジスタ、入力トランジスタ、補助トランジスタ及び緩和トランジスタをnpn型バイポーラトランジスタに適用したが、これに限定されるものではなく、pnp型バイポーラトランジスタに適用してもよい。また、電界効果型トランジスタに適用してもよく、例えば出力トランジスタを電

界効果型トランジスタに適用する場合には、そのゲートにゲート保護回路を設けるとよい。本発明の実施例では、過電圧検出回路を構成するツェナーダイオードの数をn個にしたが、これは、閾値に応じて1個以上に調整すればよい。また、過電圧検出回路は、ツェナーダイオードで構成するものに限定されるものではなく、要は、出力端子に印加された過電圧を検出してその検出信号を出力することができるものであればよい。

【0044】本発明の実施例では、レベル調整回路を構成するダイオードの数を1個にしたが、これに限定されるものではなく、駆動信号及び検出信号の降圧レベルに応じて1個以上に調整すればよい。また、レベル調整回路は、ダイオードを備えたものに限定されるものではなく、要は、検出信号及び駆動信号の降圧レベルが調整できるものであればよい。本発明の実施例では、出力トランジスタ6のベースと過電圧検出回路16のアノードとを抵抗8を介して接続するように構成したが、この抵抗8は必要に応じて設ければよい。ここで、抵抗8を設けないようにした場合には、レベル調整回路14はダイオード11を無くして抵抗だけで構成するようにしてもよい。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す半導体回路の電気回路図

【図2】制御信号に対する出力トランジスタの応答特性を示す波形図

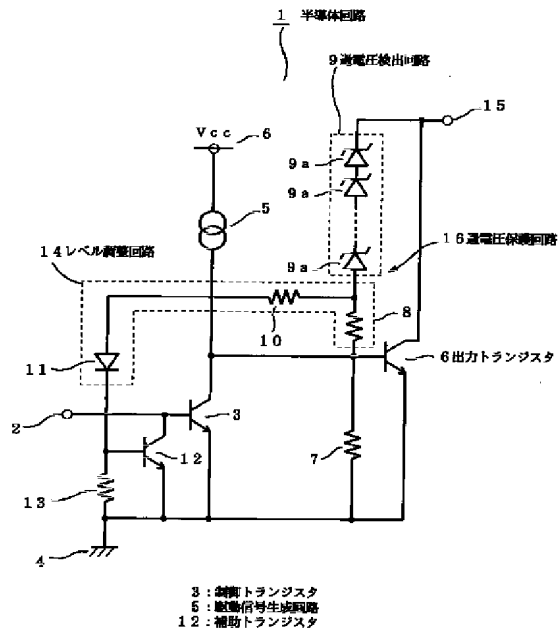
【図3】本発明の第2の実施例を示す図1相当図

【図4】従来例を示す図1相当図

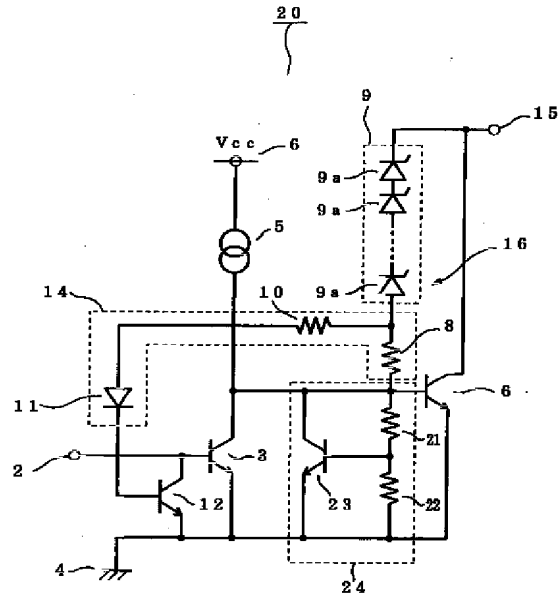
【符号の説明】

図面中、1、20は半導体回路、3は入力トランジスタ、5は定電流源（駆動信号生成回路）、6は出力トランジスタ、9は過電圧検出回路、9aはツェナーダイオード、11はダイオード、12は補助トランジスタ、14はレベル調整回路、16は過電圧保護回路、23は緩和トランジスタ、24は緩和回路を示す。

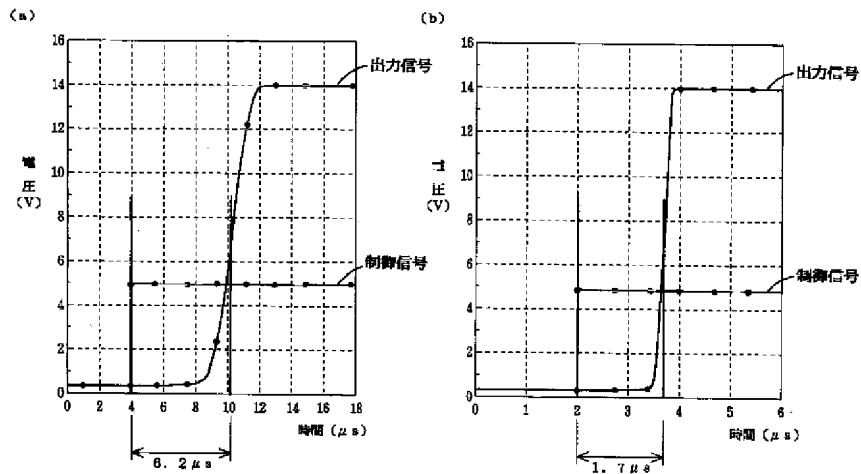
【☒ 1】



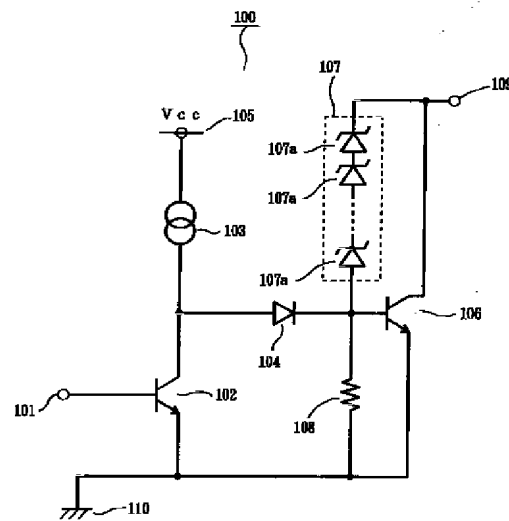
【図3】



【例 2】



【図4】



フロントページの続き

Fターム(参考) 5H740 AA04 AA05 BA11 KK01 MM01
 5J055 AX03 AX34 BX16 BX17 CX23
 DX04 DX52 EX06 EY01 EY12
 EY13 EY17 EZ00 EZ03 EZ62
 FX18 FX34 GX01 GX04



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002368593 A**(43) Date of publication of application: **20.12.02**

(51) Int. Cl.

H03K 17/08**H03K 17/60****// H02M 1/00**(21) Application number: **2001169478**(22) Date of filing: **05.06.01**(71) Applicant: **DENSO CORP**(72) Inventor: **MIKI TAKESHI
BAN HIROYUKI**(54) **SEMICONDUCTOR CIRCUIT**

COPYRIGHT: (C)2003,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor circuit, with which the response speed of an output transistor to a control signal is high.

SOLUTION: When an over voltage exceeding a threshold is impressed to an output terminal 15 in a semiconductor circuit 1, an input transistor 12 is turned off regardless of the level of a control signal by turning on an auxiliary transistor 12 so that an output transistor 6 can be surely turned on and a surge current caused by the over voltage can be discharged to a ground part 4, and the output transistor 6 is protected. In ordinary operation, the auxiliary transistor 12 is turned off and when the control signal is switched from a high level to a low level, electric charges stored in a parasitic capacitor inside the output transistor 6 are discharged through the input transistor 3 in a short time so that the switching control of the output transistor 6 can be performed at a high response speed to the control signal.

